FUNDAMENTOS DE COMPUTADORES. 20015-2016. EXAMEN FINAL.

Nombre: D.N.I.

Primera parte:

1. (1,5 puntos). En este problema se os indica una cantidad (en una base) y tenéis que calcular su equivalente en la base indicada.

1001001 en Complemento a 2 con 7 bits -> Base 10:

0110110 en Complemento a 2 con 7 bits-> Base 10:

1001001 en Binario Puro -> Base 10:

0110110 en Binario Puro -> Base 10:

-30 en base 10 -> Complemento a 2 con 8 bits

30 en base 10 -> Complemento a 2 con 8 bits

-30 en base 10 -> Binario Puro

30 en base 10 -> Binario Puro

1. (3,5 puntos) Se desea diseñar un circuito que reciba una palabra de 4 bits y que realice la siguiente operación: se cuenta el número de "1" en la palabra X, si este número es impar la salida es 1 y si este número es par, la salida es 0.

Además los valores 0101 y 0110 toman el valor 1. En caso de que alguna función no se simplifique, indicarlo.

1. Construir la tabla de verdad de la función de salida.
2. Simplificar la función anterior por el método de Karnaugh tanto para maxterms como para minterms.
3. Materializar la función del apartado a mediante un decodificador de 3 a 8 y el mínimo número de puertas lógicas.
4. Materializar la función del apartado a mediante un multiplexor de 8 a 1 y el mínimo número de puertas lógicas.
5. Materializar la función del apartado a únicamente mediante puertas lógicas NOR,
6. Materializar la función del apartado a únicamente mediante puertas lógicas NAND
7. (2 puntos)Sea un sistema secuencial con una entrada binaria X de un bit y una salida binaria Z de un bit capaz de detectar la secuencia 101X, donde X es 0 si el número formado por los dos últimos dígitos de tu número de DNI es múltiplo de 3 y es 1 en caso contrario. Se pide: Materializar el sistema secuencial utilizando el menor número de puertas lógicas y biestables tipo JK (si DNI par) o SR (si DNI impar).
8. (1,5 puntos)Diseñar un registro desplazador universal de 3 bits activo por flanco de subida con señales de control síncrona, señal de puesta a 0 asíncrona (CLEAR), 5 bits de datos de entrada (IR, X2, X1 , X0, y IL) y tres bits de salida (Q2, Q1 y Q0) que realice las siguientes operaciones: mantenimiento del valor actual, desplazamiento a la derecha de longitud 1, desplazamiento a la izquierda de longitud 1, carga en paralelo síncrona, y rotación a la derecha de longitud 1.
9. (1,5 puntos) Construir un contador de 8 bits, a partir de contadores de 4 bits que cuente desde 1 a 201.